日本国特許庁 JAPAN PATENT OFFICE

03.12.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2003年12月 3日

出願番号 Application Number: 特願2003-405259

[ST. 10/C]:

[JP2003-405259]

出 願 人
Applicant(s):

関西電力株式会社

財団法人電力中央研究所

特許庁長官 Commissioner, Japan Patent Office

2005年 1月20日

1) (1)

BEST AVAILABLE COPY



特許願 【書類名】 FKSD1120S 【整理番号】 平成15年12月 3日 【提出日】 特許庁長官殿 【あて先】 H01L 29/70 【国際特許分類】 【発明者】 大阪市北区中之島3丁目3番22号 関西電力株式会社内 【住所又は居所】 中山 浩二 【氏名】 【発明者】 大阪市北区中之島3丁目3番22号 関西電力株式会社内 【住所又は居所】 菅原 良孝 【氏名】 【発明者】 大阪市北区中之島3丁目3番22号 関西電力株式会社内 【住所又は居所】 浅野 勝則 【氏名】 【発明者】 神奈川県横須賀市長坂2-6-1 財団法人電力中央研究所 横 【住所又は居所】 須賀研究所内 【氏名】 土田 秀一 【発明者】 神奈川県横須賀市長坂2-6-1 財団法人電力中央研究所 横 【住所又は居所】 須賀研究所内 鎌田 功穂 【氏名】 【発明者】 神奈川県横須賀市長坂2-6-1 財団法人電力中央研究所 横 【住所又は居所】 須賀研究所内 三柳 俊之 【氏名】 【発明者】 神奈川県横須賀市長坂2-6-1 財団法人電力中央研究所 横 【住所又は居所】 須賀研究所内 中村 智官 【氏名】 【特許出願人】 【識別番号】 000156938 大阪市北区中之島3丁目3番22号 【住所又は居所】 関西電力株式会社 【氏名又は名称】 【特許出願人】 000173809 【識別番号】 東京都千代田区大手町1丁目6番1号 【住所又は居所】 財団法人電力中央研究所 【氏名又は名称】 【代理人】 100062926 【識別番号】 【弁理士】 東島 隆治 【氏名又は名称】 【選任した代理人】 【識別番号】 100113479 【弁理士】 【氏名又は名称】 大平 覺 【手数料の表示】 【予納台帳番号】 031691 21,000円 【納付金額】



【提出物件の目録】

【物件名】 特許請求の範囲 1

【物件名】 明細書 1

 【物件名】
 図面 1

 【物件名】
 要約書 1



【書類名】特許請求の範囲

【請求項1】

炭素 (カーボン) と珪素の化合物である炭化珪素を基材とする第1の導電型の炭化珪素半 導体の結晶の(000-1)カーボン面に対して所定のオフ角を有する面を形成した基板 、及び

前記基板の前記所定のオフ角を有する面を結晶の成長面として、前記成長面に第1又は 第2の導電型の炭化珪素の半導体により、所定の形成速度で形成した少なくとも1つのド リフト層、

を有するバイポーラ半導体素子。

【請求項2】

炭素(カーボン)と珪素の化合物である炭化珪素を基材とする第1の導電型の炭化珪素半 導体の結晶の(000-1)カーボン面に対して所定のオフ角を有する面を形成した基板

前記基板の前記所定のオフ角を有する面を結晶の成長面として、前記成長面に第1の導 電型の炭化珪素のエピタキシャル成長法により、所定の成膜速度で形成したドリフト層、 及び

前記ドリフト層の上に形成した、第1又は第2の導電型の炭化珪素の半導体の少なく とも1つの層

を有するバイポーラ半導体素子。

【請求項3】

炭素(カーボン)と珪素の化合物である炭化珪素を基材とする第1の導電型の炭化珪素半 導体の結晶の(000-1)カーボン面に対して所定のオフ角を有する面を形成した、カ ソードとなる基板、

前記基板の前記所定のオフ角を有する面を結晶の成長面として、前記成長面に第1の導 電型の炭化珪素のエピタキシャル成長法により、所定の成膜速度で形成したドリフト層、 及び

前記ドリフト層の上に形成した、アノードとなる第2の導電型の炭化珪素の半導体層 を有するバイポーラ半導体素子。

炭素 (カーボン) と珪素の化合物である炭化珪素を基材とする第1の導電型の炭化珪素半 導体の結晶の(000-1)カーボン面に対して所定のオフ角を有する面を形成した、コ レクタとなる基板、

前記所定のオフ角を有する面を結晶の成長面として、前記成長面に第1の導電型の炭化 珪素のエピタキシャル成長法により、所定の成膜速度で形成したドリフト層、

前記ドリフト層の上に形成した第2の導電型のベース層、及び

前記ベース層の一部分に形成した第1の導電型のエミッタ層

を有するバイポーラ半導体素子。

【請求項5】

炭素 (カーボン) と珪素の化合物である炭化珪素を基材とする第1の導電型の炭化珪素半 導体の結晶の(000-1)カーボン面に対して所定のオフ角を有する面を形成した、コ レクタとなる基板、

前記所定のオフ角を有する面を結晶の成長面として、前記成長面に炭化珪素のエピタキ シャル成長法により、所定の成膜速度で形成した第2の導電型のドリフト層、

前記ドリフト層の上に形成した第1の導電型の成長層、

前記第1の導電型の成長層の上に形成した第2の導電型のエミッタ層、

前記第2の導電型のエミッタ層に形成した貫通孔を経て、前記第1の導電型の成長層に イオン注入をして形成した、コンタクト領域、及び

前記第1の導電型の成長層と前記第2の導電型のエミッタ層に絶縁膜を介して形成した ゲート電極

を有するバイポーラ半導体素子。



【請求項6】

前記オフ角が2度以上10度以下であることを特徴とする請求項1から5のいずれかに記 載のバイポーラ半導体素子。

【請求項7】

前記ドリフト層となる炭化珪素のエピタキシャル成長による膜を、膜厚の時間h当たりの 増加速度が10μm/h以上である成膜速度で形成したことを特徴とする請求項2から5 のいずれかに記載のバイポーラ半導体素子。

【請求項8】

前記基板と前記ドリフト層との間にバッファ層を有することを特徴とする請求項1から5 のいずれかに記載のバイポーラ半導体素子。

【請求項9】

炭素 (カーボン) と珪素の化合物である炭化珪素を基材とする第1の導電型の炭化珪素半 導体の結晶を、前記結晶の(000-1)カーボン面に対して所定の角度を有する面で切 断して基板を形成する工程、

前記基板の前記所定の角度を有する面を結晶の成長面として、前記成長面に第1の導電 型の炭化珪素のエピタキシャル成長法により、所定の成膜速度でドリフト層を形成する工 程、及び

前記ドリフト層の上に、第1又は第2の導電型の炭化珪素の半導体の少なくとも1つの 層を形成する工程、

を有するバイポーラ半導体素子の製造方法。

【請求項10】

前記所定の角度が2度以上10度以下であることを特徴とする請求項9記載のバイポーラ 半導体素子の製造方法。

【請求項11】

前記ドリフト層の成膜工程における膜厚の時間 h 当たりの増加速度が 1 0 μ m/h 以上で あることを特徴とする請求項9記載のバイポーラ半導体素子の製造方法。

【請求項12】

前記基板と前記ドリフト層との間にバッファ層を形成する工程を更に有する請求項9記載 のバイポーラ半導体素子の製造方法。



【書類名】明細書

【発明の名称】炭化珪素半導体素子およびその製造方法

【技術分野】

[0001]

本発明は、大電流を制御するのに適した炭化珪素バイポーラ半導体素子に関する。 【背景技術】

[0002]

炭化珪素(SiC)などのワイドギャップ半導体材料は、シリコン(Si)に比べて絶縁破壊電界強度が約10倍高い等の優れた特性を有しており、高い耐逆電圧特性を有する高耐圧バイポーラパワー半導体素子に好適な材料として注目されている。

pinダイオードやバイポーラトランジスタ、GTO、GCTなどのバイポーラ半導体素子は、ショットキーダイオードやMOSFETなどのユニポーラ半導体素子に比べてビルトイン電圧が高いが、少数キャリアの注入によるドリフト層の伝導度変調によりオン抵抗が大幅に小さくなる、という特徴がある。したがって、電力用途などの高電圧大電流領域では、損失を小さくするためバイポーラ半導体素子が用いられている。SiCでこれらのバイポーラ半導体素子を構成すると、Siの素子に比べて格段に優れた性能を実現できる。例えば、SiCで構成した10kVの高耐圧pinダイオード素子の場合、順方向電圧がSiのpinダイオードの約1/3であり、オフ時の速度に該当する逆回復時間が約1/20以下と高速である。また、電力損失をSiのpinダイオードの約1/5以下に低減でき省エネルギー化に大きく貢献できる。SiCのpinダイオード以外にもSiCのnpnトランジスタやSiCのSIAFET、SiCのSIJFETなどが開発され同様の電力損失低減効果が報告されている(例えば非特許文献1)。この他、ドリフト層として反対極性のp型半導体層を用いたSiCのGTOなども開発されている(例えば非特許文献2)。

[0003]

SiCの結晶の集合面の $\{0\ 0\ 0\ 1\}$ 面には、図7のSiCの結晶の斜視図に示すように、個別面の $(0\ 0\ 0\ 1)$ シリコン面1と $(0\ 0\ 0\ 1)$ カーボン面2が存在する。かっこ内の[-] は負号である。これを極性という。 $(0\ 0\ 0\ 1)$ シリコン面1は結晶がシリコン $(S\ i)$ で終端された面である。 $(0\ 0\ 0\ -1)$ カーボン面2は結晶がカーボン $(C\)$ で終端された面である。n型のドーパントである窒素 $(N\)$ は、主にカーボン $(C\)$ を置換する形でSiCの結晶中に取り込まれる。シリコンで終端されている $(0\ 0\ 0\ 1)$ シリコン面1は、カーボンで終端されている $(0\ 0\ 0\ -1)$ カーボン面2と比較して、表面に現れているカーボンの量が少ないため、窒素 $(N\)$ への置換が抑制され高純度のエピタキシャル層が得られる。このため、SiCのエピタキシャル成長に関する研究報告はほとんどが $(0\ 0\ 0\ 1)$ シリコン面1に関するものである。

SiCのエピタキシャル成長では、成長速度やエピタキシャル層の純度を制御しやすい CVD法が用いられる。しかし、キャリアガスに水素を使っているため、成長中に成長表面からのカーボン (C) の離脱が起こち、成長速度が抑えられてしまう。そのため、通常の成長速度は5~10μm/hとなる。

SiCで上記の従来のバイポーラ半導体素子を作製するときは、例えば(0001)シリコン面1からのオフ角 θ が8度である面1aをもつように形成したn型の4H-SiCを基板に用いる。4H型の5i0~を基板に用いる。4H2の5i0~を基板の上に化学気相堆積法(CVD法)を用いて、電圧印加時における電界を緩和するための5i0のドリフト層を、 $5\sim10\mu$ m/hの成長速度でエピタキシャル成長させて形成する。

【非特許文献1】松波弘之編著、「半導体SiC技術と応用」、218-221頁、 日刊工業新聞社刊

【非特許文献2】A. K. Agarwal et. al、Materials Science Forum Volume 389-393、2000年、1349-1352頁



【発明が解決しようとする課題】

[0004]

このようにして得られた従来のバイポーラ半導体素子には、マテリアルズ サイエンス フォーラム ボリューム 3 8 9 - 3 9 3 (2 0 0 2) 第 1 2 5 9 - 1 2 6 4 頁 [Mat erials Science Forum Vols. 389-393 (2000) pp. 1259-1264]で報告されているように、新品のバイポーラ半導体素子に通 電を開始してから通電時間(使用時間)が増えるに従い経時変化により順方向電圧が増大 する現象がある。

この現象を「順方向電圧劣化」と呼ぶ。新品のバイポーラ半導体素子に順方向に、電流 密度100A/cm² で1時間通電したとき、通電開始直後と1時間通電後の電流密度1 $0~0~\mathrm{A/c~m^2}$ での「順方向電圧差 $\Delta~\mathrm{V~f}$ 」で順方向電圧劣化の度合いを表す。

順方向電圧劣化現象は、基板からドリフト層に伝搬したベーサルプレーン転位と呼ばれ る線状の欠陥が原因で起こる。このベーサルプレーン転位を起点として積層欠陥と呼ばれ る面状の欠陥がドリフト層中に発生し、ドリフト層が高抵抗層になり、その結果電流が流 れにくくなる。

[0005]

従来のpinダイオードの場合、使用開始の初期には順方向電流密度100A/cm² での順方向電圧が3.5Vだったのが、電流密度100A/cm²で1時間通電した後で は20Vに増大し、順方向電圧差ΔVfは16.5V程度になる。その結果素子内部での 電力損失が著しく増大し、素子内部での発熱により素子が破壊されてしまう場合が生じる 。SiCバイポーラ素子はSi素子に比べて大変優れた初期特性を有しているにもかかわ らず、この順方向電圧劣化のため信頼性が著しく低い。そのため、長時間運転可能で電力 損失が少なくかつ信頼性の高いインバーター等の電力変換装置を実現することが困難であ った。

本発明は、順方向電圧劣化を表す順方向電圧差 Δ V f が 1. 0 V 以下の信頼性の高い半 導体装置を提供することを目的としている。

【課題を解決するための手段】

[0006]

本発明のバイポーラ半導体素子は、炭素(カーボン)と珪素の化合物である炭化珪素を 基材とする第1の導電型の炭化珪素半導体の結晶の(000-1)カーボン面に対して所 定のオフ角を有する面を形成した基板、前記基板の前記所定のオフ角を有する面を結晶の 成長面として、前記成長面に第1又は第2の導電型の炭化珪素の半導体により、所定の形 成速度で形成した少なくとも1つのドリフト層を有する。

本発明の他の観点のバイポーラ半導体素子は、炭素(カーボン)と珪素の化合物である 炭化珪素を基材とする第1の導電型の炭化珪素半導体の結晶の(000-1)カーボン面 に対して所定のオフ角を有する面を形成した基板、前記基板の前記所定のオフ角を有する 面を結晶の成長面として、前記成長面に第1の導電型の炭化珪素のエピタキシャル成長法 により、所定の成膜速度で形成したドリフト層、及び前記ドリフト層の上に形成した、第 1又は第2の導電型の炭化珪素の半導体層の少なくとも1つの層を有する。

本発明の他の観点のバイポーラ半導体素子は、炭素(カーボン)と珪素の化合物である 炭化珪素を基材とする第1の導電型の炭化珪素半導体の結晶の(000-1)カーボン面 に対して所定のオフ角を有する面を形成した、カソードとなる基板、前記基板の前記所定 のオフ角を有する面を結晶の成長面として、前記成長面に第1の導電型の炭化珪素のエピ タキシャル成長法により所定の成膜速度で形成したドリフト層、及び前記ドリフト層の上 に形成した、アノードとなる第2の導電型の炭化珪素の半導体層を有する。

[0008]

本発明の他の観点のバイポーラ半導体素子は、炭素(カーボン)と珪素の化合物である 炭化珪素を基材とする第1の導電型の炭化珪素半導体の結晶の(000-1)カーボン面



に対して所定のオフ角を有する面を形成した、コレクタとなる基板、前記所定のオフ角を有する面を結晶の成長面として、前記成長面に第1の導電型の炭化珪素のエピタキシャル成長法により所定の成膜速度で形成したドリフト層、前記ドリフト層の上に形成した第2の導電型のベース層、及び前記ベース層の一部分に形成した第1の導電型のエミッタ層を有する。

[0009]

本発明の他の観点のバイポーラ半導体素子は、炭素(カーボン)と珪素の化合物である炭化珪素を基材とする第1の導電型の炭化珪素半導体の結晶の(000-1)カーボン面に対して所定のオフ角を有する面を形成した、コレクタとなる基板、前記所定のオフ角を有する面を結晶の成長面として、前記成長面に炭化珪素のエピタキシャル成長法により、所定の成膜速度で形成した第2の導電型のドリフト層、前記ドリフト層の上に形成した第1の導電型の成長層、前記第1の導電型の成長層の上に形成した第2の導電型のエミッタ層、前記第2の導電型のエミッタ層に形成した貫通孔を経て、前記第1の導電型の成長層にイオン注入をして形成した、コンタクト領域、及び前記第1の導電型の成長層と前記第2の導電型のエミッタ層に絶縁膜を介して形成したゲート電極を有する。

[0010]

本発明のバイポーラ半導体素子の製造方法は、炭素(カーボン)と珪素の化合物である炭化珪素を基材とする第1の導電型の炭化珪素半導体の結晶を、前記結晶の(000-1)カーボン面に対して所定の角度を有する面で切断して基板を形成する工程、前記基板の前記所定の角度を有する面を結晶の成長面として、前記成長面に、第1の導電型の炭化珪素のエピタキシャル成長法により所定の成膜速度でドリフト層を形成する工程、及び前記ドリフト層の上に、第1又は第2の導電型の炭化珪素の半導体層の少なくとも1つの層を形成する工程を有する。

[0011]

前記オフ角は、 2 度以上 1 0 度以下であり、前記ドリフト層となる炭化珪素のエピタキシャル成長による成膜速度は、膜厚の時間 h 当たりの増加速度が 1 0 μ m ℓ ℓ 以上である

本発明によれば、成長表面の過飽和度を下げ、ベーサルプレーン転位が基板からエピタ キシャル膜へ伝搬するのを抑制することができ、結果として順方向電圧劣化を防ぐことが できる。

【発明の効果】

[0012]

本発明によれば、順方向電圧劣化を表す順方向電圧差 Δ V f を 1. 0 V 以下に抑えることができ、信頼性の高いバイポーラ素子を作成することができる。このような信頼性の高いバイポーラ素子を用いれば、損失が少なく長時間運転可能な信頼性の高いインバーター等の電力変換装置を実現することができる。

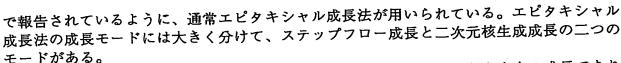
【発明を実施するための最良の形態】

[0013]

以下、本発明の最良の実施の形態について詳細に説明する。結晶の格子方向及び格子面についての説明において、格子方位及び格子面を当技術分野ではよく知られている以下の記号で表示する。すなわち、個別面は()、集合面は || で表示し、その中にそれぞれの数字を入れて各面を表示する。また、負の指数については、結晶学上 "ー" (バー)を数字の上につけることになっているが、特許庁の使用しているソフトウェアでは数字の上にバーをつけることが不可能であるため、本明細書では、数字の前に負号を付けて表示することにする。

順方向劣化現象を抑えるには、前記のように基板からドリフト層へのベーサルプレーン 転位の伝搬を抑制する必要がある。

SiCでドリフト層を形成する方法として、例えばマテリアルズ サイエンス アンドエンジニアリングR20 (1997) 第125-166頁 [Materials Science and Engineering, R20 (1997) 125-166]



ステップフロー成長は結晶の成長軸に垂直な {0001} 面に平行な方向の成長であり 【0001】面に平行な結晶の情報を引き継ぎやすい。二次元核生成成長は 【0001 }面に垂直な方向の成長であり、 ⟨0 0 0 1⟩ 面と垂直な向きの結晶の情報を引き継ぎや すいが、結晶の成長では欠陥の発生源ともなる。

このため、通常のエピタキシャル成長では、良質なエピタキシャル膜を得るために、あ る程度ステップフロー成長が進むように成長条件が設定される。

ベーサルプレーン転位は {0001} 面に平行に存在する転位であり、転位はステップ フロー成長と同じ向きで伝搬する。したがって、ベーサルプレーン転位の伝搬を抑えるた めには、二次元核生成が起きない程度にステップフロー成長を抑制する必要がある。

成長がステップフローとなるか二次元核生成となるかは、表面における過飽和度が大き く関係している。過飽和度がある値(臨界過飽和度)を超えると二次元核生成となり、そ の値以下なら、ステップフロー成長となる。従って、臨界過飽和度が大きいと二次元核生 成が起こりにくい。

[0014]

臨界過飽和度を大きくするためには、原料ガスの供給量を増やすなどして成長速度を上 げたり、結晶のオフ角を小さくして結晶面にあるステップ(階段)のテラス(平面部)の 幅を広くする方法がとられる。

図6に示すSiCの結晶において、(000-1)カーボン面2は(0001)シリコ ン面1より表面エネルギーが1桁小さく、臨界過飽和度の値が1桁から2桁小さくなる。 その結果、過飽和度が相対的にかなり小さくなる。

(000−1) カーボン面2では、単一のSi−C層を1分子層とする、1分子層の高 さのステップ(図示省略)が比較的多いが、(0001)シリコン面1では、2あるいは 4分子層の高さのステップが観測される。これは、(000-1)カーボン面2のテラス の幅が、(0001)シリコン面1のテラス幅の半分程度に狭くなることを示しており、 このことから(000-1)カーボン面2の臨界過飽和度は(0001)シリコン面1の 臨界過飽和度より小さくなる。

しかし、(000-1)カーボン面2の臨界過飽和度は、成長速度に大きく依存し、そ の依存度は、ステップのテラス幅に対する依存度よりも大きい。従って成長速度を速くす る事により、相対的に(000-1)カーボン面2の臨界過飽和度を大きくできる。これ により二次元核生成成長を抑制しかつベーサルプレーン転位の伝搬も抑制できるステップ フロー成長を達成できる。

本発明の実施の形態では、SiCバイポーラ半導体素子を構成するn型層及びp型層な どの半導体層を、SiC結晶の(000-1)カーボン面 2 に対して所定のオフ角 θ を有 する面2aに形成する。オフ角 θ は2度から10度の範囲で、半導体素子の種類に応じて 最適な角度を決める。発明者等の実験によると、例えばpinダイオードではオフ角 θ を 約8度にすると良い結果が得られた。またIGBTではオフ角 θ を3.5度にすると良い 結果が得られた。また前記半導体層の成長速度を通常より速くする。成長速度は、薄膜の 1時間h当たりの増加量が10μm/h以上になるようにするのが望ましい。成膜条件に よっては3μm/h以上の成膜速度でも本発明の効果を得ることができる。成長速度を増 加させるためには成膜処理中の材料ガスの供給量を大幅に増やす。

以下、本発明の好適な実施例を図1から図6を参照して説明する。

《第1実施例》

[0015]

図1は本発明のバイポーラ半導体素子の第1実施例であるpn(pin)接合ダイオー ドの断面図である。本実施例では、面方位が(000-1)カーボン面から8度のオフ角 をもつn型(第1の導電型)の4H型SiCを用いた基板21の面(以下C面と呼ぶ)上 に、以下に説明する半導体層を形成する。4H型の"H"は六方晶、"4"は原子積層が



4層周期となる結晶構造を意味する。基板21のC面は、図6のSiC結晶の(000-1) カーボン面 2 から角度 heta (8 度)のオフ角をもつ面 2 a である。各層の成膜速度は、 膜厚の時間(h)当たりの増加速度が従来よりは高速である、 $15 \mu m / h$ であり、次に 詳しく説明するように、n型4H-SiC、p型(第2の導電型)4H-SiCを順次エ ピタキシャル成長させ、エピタキシャルpin接合ダイオード70を作製する。p型層と i層(絶縁層)の主たる接合面、およびi層とn型層の主たる接合面(図1で水平方向に 広がる面)は、 {0001} 面となっている。

前記本実施例のエピタキシャルpin接合ダイオード70と比較をするための、比較用 pin接合ダイオードとして以下のものを作製した。すなわち図7に示す(0001)シ リコン面 1 から 8 度のオフ角 heta をもつ n 型の 4 H型 S i C を用いた基板の面 1 a (以下、 Si面という)上に、膜厚の時間(h)当たりの増加速度が 5μm/hの成長速度でn型 4 H-SiC及びp型4 H-SiCを順次エピタキシャル成長させて比較用のpin接合 ダイオードを製作する。 5 μ m/ h の成膜速度は p i n ダイオードの製作工程では一般的 な速度である。本実施例のpin接合ダイオードと比較用のpin接合ダイオードの接合 部のサイズ及び形状は同じである。

[0016]

n型の基板 2 1 は、改良レーリー法によって成長したインゴットをオフ角 heta を 8 度にし てスライスし、鏡面研磨することによって作製した。ホール効果測定法によって求めた基 板 2 1 のキャリヤ密度は 8×1 0 1 8 2 3 、厚さは 4 0 0 μ m である。カソードとな る基板21の上に、CVD法によって窒素ドープn型SiC層(n型成長層)とアルミニ ウムドープp型SiC層(p型成長層)を順次エピタキシャル成長で形成する。n型成長 層により、図1に示すn型のバッファ層22とn型のドリフト層23を形成する。バッフ ァ層 2 2 はドナー密度 7 × 1 0 ^{1 7} c m ^{- 3} 、膜厚は 1 0 μ m である。バッファ層 2 2 は 必ずしも必要ではなくこれを形成しない場合もある。ドリフト層23はドナー密度約5× $1~0^{~1~5}~c~m^{-~3}$ 、膜厚は $4~0~\mu$ mである。また、p型成長層により、アノードとなるp型接合層24とp+型コンタクト層25を形成する。p型接合層24はアクセプタ密度5 imes10 1 7 cm $^{-3}$ 、膜厚は1.5 μ mである。p+型コンタクト層25はアクセプタ密 度約 1×10^{18} cm $^{-3}$ 、膜厚は 0.5μ mである。基板21のC面上にバッファ層22、ドリフト層23、p型接合層24及びp+型コンタクト層25を順次以下の処理条件 で形成した。

[0017]

本実施例のpinダイオード70を作製するときの処理条件を以下に詳しく説明する。 材料ガスとして、シラン (SiH4) 及びプロパン (C3H8) を用いる。ドーパントガ スとして窒素 (N_2) 及びトリメチルアルミニウム (A_1 (CH_3) $_3$) を用いる。ま たキャリアガスとして水素 (H2) を用いる。各ガスの流量は、sccm (standard cc per minute) 又は、slm(standard liter minute)で表す。圧力は、kPa(kilo pa scal)で表す。以下の説明において、各ガスの名称の後に付したかっこ内の数値は流量を 表す。基板21の温度は1550℃に保たれており、処理チャンバー内の圧力は5.6k Paに保たれている。

基板21のC面にバッファ層22を形成する工程では、シラン(30sccm)、プロ パン(12sccm)、窒素(30sccm)及び水素(10slm)を供給する。処理 時間は40分である。

ドリフト層 2 3 の形成工程では、シラン (30 sccm)、プロパン (12 sccm) 、窒素(0.2sccm)及び水素(10slm)を供給する。処理時間は160分であ る。

P型接合層 2 4 の形成工程では、シラン(3 0 s c c m)、プロパン(1 2 s c c m) トリメチルアルミニウム(15sccm)及び水素(10slm)を供給する。処理時 間は6分である。

p +型コンタクト層 2 5 の形成工程では、シラン(3 0 s c c m)、プロパン(1 2 s c c m) 、トリメチルアルミニウム (3 0 s c c m) 及び水素 (1 0 s l m) を供給する



。処理時間は2分である。

上記の処理により、本実施例のpin接合ダイオード用のSiCエピタキシャルウェー ハができる。

次に比較用のpinダイオードを作製するときの処理条件を説明する。基板のSi面に 形成する各層の構成は図1に示す本実施例の構成と実質的に同じであるので、同じ符号を 用いて説明する。基板の温度は1550℃に保たれており、処理チャンバー内の圧力は5 . 6kPaに保たれている。

基板のSi面にバッファ層22を形成する工程では、シラン(10sccm)、プロパ ン(3sccm)、窒素(10sccm)及び水素(10slm)を供給する。処理時間 は120分である。

・ドリフト層23を形成する工程では、シラン(10sccm)、プロパン(3sccm)、窒素 (0.07sccm) 及び水素 (10slm) を供給する。処理時間は480分 である。

P型接合層 2 4 の形成工程では、シラン (10 sccm)、プロパン (3 sccm)、 トリメチルアルミニウム(5sccm)及び水素(10slm)を供給する。処理時間は 18分である。

p+型コンタクト層25の形成工程では、シラン(10sccm)、プロパン(3sc cm)、トリメチルアルミニウム (10sccm) 及び水素 (10slm) を供給する。 処理時間は6分である。

上記の処理により、比較用のpin接合ダイオード用のSiCエピタキシャルウェーハ ができる。

本実施例のpin接合ダイオード用のSiCエピタキシャルウェーハと、比較用のpi n接合ダイオード用のSiCエピタキシャルウェーハのそれぞれの処理条件を比較すると 、本実施のものの処理条件では、材料ガス及びドーパントガスの流量が、従来のものの処 理条件におけるそれぞれの流量の3倍以上である。また、処理時間についても本実施例の ものの各層の処理時間は、比較用のものの処理時間の3分の1以下である。以上のように 、本実施例では処理時間を短くし、成膜速度を高くしている点に特徴がある。

本実施例のSiCエピタキシャルウェーハと、比較用のSiCエピタキシャルウェーハ のそれぞれに以下に説明する加工を施すことにより図に示す本実施例のpin接合ダイオ ード70及び同様の構成を有する比較用pin接合ダイオードが出来上がる。

[0018]

まず反応性イオンエッチング(RIE)によりSiCエピタキシャルウエーハの両端部 を除去してメサ構造に加工する。RIEのエッチングガスにはCF4(4弗化炭素)とO 2 を用い、プラズマ処理装置により、圧力 5 P a 、高周波電力 2 6 0 Wの条件で深さ約 2 . $5 \mu \text{ m}$ までエッチングした。このときのマスク材料として、CVDによって堆積したS i O 2 膜 (厚さ10μm) を用いた。

次に、エッチングにより形成したメサ底部での電界集中を緩和するために、メサ底部に 幅 $250\mu m$ 、深さ $0.7\mu m$ のp型JTE(ジャンクション ターミネーション エク ステンション) 26を設けた。JTE26はA1イオン注入により形成した。A1イオン 注入のエネルギーは30~450keVの間で6段階に変え、トータルドーズ量は1.2 imes10 1 3 $_{\mathrm{cm}}^{-2}$ である。JTE26形成時には、JTE26の注入層がポックスプロ ファイルとなるよう設計した。イオン注入は全て室温で行い、イオン注入のマスクには、 グラファイト(厚さ5μm)を用いた。注入イオンの活性化のための熱処理をアルゴンガ ス雰囲気中で1700℃、3分の条件で行った。アニールの後、温度1200℃、3時間 のウェット酸化により保護膜としての熱酸化膜27を形成した。

[0019]

次に、基板21の下面にNi(厚さ350nm)を形成しカソード電極28とする。P +型コンタクト層 2 5 上に、T i (チタン:厚さ3 5 0 n m) とA l (アルミニウム:厚 さ100 nm) の膜をそれぞれを蒸着し、アノード電極29とする。アノード電極29は 、Ti層29aとA1層29bから構成されている。最後に1000℃で20分間の熱処



----- .

理を行って、カソード電極28及びアノード電極29をそれぞれオーミック電極にする。 p n接合のサイズは直径が2.6 mm ø でありほぼ円形である。なお、この実施例ではア ルミニウムイオン注入によってp型JTE26を形成したが、ボロン(B)のイオン注入 を用いた場合でも同様の効果がある。また、pin接合ダイオード70においては、バッ ファ層 2 2、ドリフト層 2 3、 p 型接合層 2 4 及び p +コンタクト層 2 5 のそれぞれの接 合面(図中水平方向に広がる面)は、すべて(000-1)カーボン面2から8度のオフ 角をもつ面2a(図6)に平行になっている。

[0020]

本実施例のpin接合ダイオード70の耐電圧は3500Vであり、オン電圧は3. 6 Vである。上記のpin接合ダイオード70に順方向に電流密度100A/cm²で1時 間通電し、通電開始直後と1時間通電後の室温での電流電圧特性をカープトレーサで測定 した。

図 2 は、本実施例の、面方位が(0 0 0 0 1) カーボン面 2 から 8 度のオフ角 θ をもつ n型の4H型SiC基板(C面)21の面2a上に形成したpin接合ダイオード70の 室温での順方向の電流電圧特性を示すグラフである。

順方向電流密度100A/cm² での通電開始直後と1時間通電後の順方向電圧差 Δ V f は、0.1 V以下でほとんど差がなかったので、図2のグラフでは電流電圧特性が1つ の曲線で表されている。この結果からわかるように、本実施例のpin接合ダイオード7 0は1時間の通電後もほとんど劣化していなかった。

[0021]

図3は、本実施例のpin接合ダイオード70と比較するために作製した、同じサイズ の比較用 p i n接合ダイオードを、本実施例のものと同じ条件で測定した電流電圧特性を 示すグラフである。図3において、実線の曲線は、比較用 p i n接合ダイオードの使用開 始直後(劣化前)の電流電圧特性を示す。点線の曲線は、1時間使用後(劣化後)の電流 電圧特性を示す。図3からわかるように、順方向電流密度100A/cm² (電流値は5 . 5A) での順方向電圧差 $\Delta V f$ は16. 0 Vであった。前記通電試験を行ったダイオー ドを、当技術分野では欠陥を調べる手段として既知のフォトルミネッセンス発光を調べた ところ、Si面を用いた比較用のpin接合ダイオードには積層欠陥を示す422nm発 光が多数見られた。それに対し、本実施例のC面を用いたpin接合ダイオード70では 、積層欠陥の発光は見られなかった。

以上のように、本実施例のSiCのpin接合ダイオードでは順方向電圧劣化がほとん ど生じないので、長時間の使用が可能となり寿命が長くなる。順方向の電圧劣化によるオ ン抵抗の増加がないので、内部損失も増加することがなく、安定した特性を長時間維持で きる信頼性が高いpin接合ダイオードが得られる。

《第2実施例》

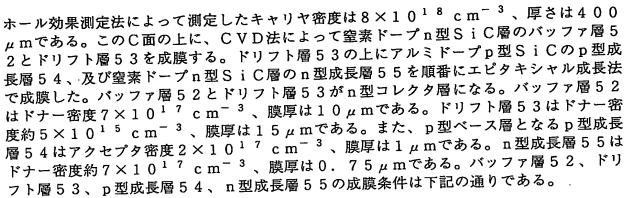
[0022]

図4は本発明のバイポーラ半導体素子の第2実施例である、 n p nバイポーラトランジ スタ50の断面図である。本実施例でも、図 6 に示すように、面方位が(000-1)カ ーボン面 2 から 8 度のオフ角 heta の面 2 a (以下、C 面という)をもつ n 型の 4 H型 S i Cの基板を用いる。この基板上に時間 h 当たりの膜厚の増加速度を 1 5 μ m/h として、 n 型4H-SiC、p型4H-SiC、n型4H-SiCの順番で連続的にエピタキシャル 成長させ、npnバイポーラトランジスタ50を作製した。

また比較用のnpnパイポーラトランジスタの基板として、図7に示す(0001)シ リコン面1から8度のオフ角hetaの面1a(以下、Si面という)をもつn型の4H型Si Cを用いた基板上に、各層を時間 h 当たりの膜厚の増加速度を 5 μ m/h として同様に成 膜した。p層とn層の主たる接合面(図中水平方向に広がる面)は、 {0001} 面とな っている。

[0023]

基板51は、改良レーリー法によって成長したインゴットをオフ角 θ が8度となるよう にスライスし、鏡面研磨することによって作製した。コレクタとなる基板51はn型で、



[0024]

本実施例のnpnバイポーラトランジスタ50を作製するときの処理条件を以下に詳し く説明する。材料ガスとして、シラン(SiH4)及びプロパン(C3H8) を用いる。 ドーパントガスとして窒素 (N2) 及びトリメチルアルミニウム |A1 (CH3) 3 | を用いる。またキャリアガスとして水素 (H2) を用いる。各ガスの流量は、sccm (standard cc per minute) 又は、slm(standard liter minute)で表す。圧力は、k Pa (kilo pascal) で表す。以下の説明において、各ガスの名称の後に付したかっこ内 の数値は流量を表す。基板51の温度は1550℃に保たれており、処理チャンバー内の 圧力は5.6kPaに保たれている。

[0025]

基板 5 1 の C 面にバッファ層 5 2 を形成する工程では、シラン(3 0 s c c m)、プロ パン(12sccm)、窒素(30sccm)及び水素(10slm)を供給する。処理 時間は40分である。

ドリフト層53の形成工程では、シラン(30sccm)、プロパン(12sccm) 、窒素(0.2sccm)及び水素(10slm)を供給する。処理時間は60分である

P型接合層 5 4 の形成工程では、シラン (3 0 s c c m)、プロパン (1 2 s c c m) 、トリメチルアルミニウム(6sccm)及び水素(10slm)を供給する。処理時間 は4分である。

[0026]

n型成長層55の形成工程では、シラン(30sccm)、プロパン(12sccm) 、窒素(30sccm)及び水素(10slm)を供給する。処理時間は3分である。 上記の処理により、本実施例のpin接合ダイオード用のSiCエピタキシャルウェー ハができる。

[0027]

次に比較用のnpnバイポーラトランジスタを作製するときの処理条件を説明する。基 板のSi面に形成する各層の構成は図4に示す本実施例の構成と実質的に同じであるので 、同じ符号を用いて説明する。基板の温度は1550℃に保たれており、処理チャンバー 内の圧力は5.6kPaに保たれている。

基板のSi面にバッファ層52を形成する工程では、シラン(10sccm)、プロパ ン(3sccm)、窒素(10sccm)及び水素(10slm)を供給する。処理時間 は120分である。

[0028]

ドリフト層53を形成する工程では、シラン(10sccm)、プロパン(3sccm)、窒素(0.07sccm)及び水素(10slm)を供給する。処理時間は180分 である。

P型成長層 5 4 の形成工程では、シラン(1 0 s c c m)、プロパン(3 s c c m)、 トリメチルアルミニウム(2sccm)及び水素(10slm)を供給する。処理時間は 12分である。

n型成長層55の形成工程では、シラン(10sccm)、プロパン(3sccm)、



窒素(10sccm)及び水素(10slm)を供給する。処理時間は9分である。 上記の処理により、比較用のSiCエピタキシャルウェーハができる。本実施例のSiCエピタキシャルウエーハと、比較用のSiCエピタキシャルウエーハのそれぞれに以下に説明する加工を施すことにより図5に示す本実施例のnpnバイポーラトランジスタ50及び同様の構成を有する比較用npnバイポーラトランジスタが出来上がる。

[0029]

次に、ベース領域において素子分離を行うために、反応性イオンエッチング(RIE)によりメサ構造にする。RIEのエッチングガスにはCF4 とO2 を用い、圧力は 0.0 5 Torr、高周波電力 260 Wの条件で深さ約 $1\,\mu$ mまでエッチングした。このときのマスク材料として、CVDによって堆積したSiO2 膜(厚さ $10\,\mu$ m)を用いた。

[0030]

本実施例では、ベース端部での電界集中を緩和するためのガードリング56と、ベースのコンタクト領域57を同一プロセスのAL(アルミニウム)イオン注入によって形成した。ベースのコンタクト領域57は幅3 μ mでエミッタとの間隔は5 μ mであり、p型ガードリング56の幅は150 μ mである。深さは共に0.5 μ mである。p型ガードリング56、あるいはベースのコンタクト領域57形成時のALイオン注入のエネルギーは40~560keVであり、トータルドーズ量は1.0×10¹³ cm⁻² である。イオン注入のマスクには、CVDにより形成したSiO2膜(厚さ5 μ m)を用いた。イオン注入はすべて室温で行い、注入イオン活性化のための熱処理はアルゴンガス雰囲気中の温度1600℃、時間5分の条件で行った。アニールの後、温度1150℃で2時間のウェット酸化によって熱酸化膜を形成し、さらにCVDによってSiO2膜を堆積させ、合計2 μ mの酸化膜58を形成した。

[0031]

次に、基板51の下面にコレクタ電極59を形成する。ベースのコンタクト領域57にベース電極59を形成する。また、エミッタ領域55にNiを蒸着してエミッタ電極69を形成する。次に1000℃、20分間の熱処理を行ってそれぞれオーミック接合を形成した。最後にベース電極59及びエミッタ電極69をTi/Au電極70で覆って各電極端子を形成した。接合部の大きさは3.2mm×3.2mmである。なお、この実施例ではA1イオン注入によってガードリング56を形成したが、B(硼素)イオン注入を用いた場合でも同様の効果がある。また、npnバイポーラトランジスタ50においては、基板51、バッファ層52、ドリフト層53、p型成長層54及びn型成長層55のそれぞれの接合面(図中水平方向に広がる面)は、すべて(000-1)カーボン面2から8度のオフ角をもつ面2aに平行になっている。

[0032]

作製したnpnバイポーラトランジスタ 50の耐圧は 1400 V である。オン抵抗は $8.0m\Omega$ c m^2 であり、最大電流増幅率は約 12 であった。このnpnバイポーラトランジスタ 50 にベース電流 0.6 A、コレクタ電流 7 A(コレクタ電流密度 100 A/c m^2)を 1 時間通電し、通電前後の室温でのコレクタ特性をカープトレーサで測定した。本実施例のnpnバイポーラトランジスタ 50 では、通電開始直後と 1 時間通電後ともオン抵抗は $8.0m\Omega$ c m^2 であり、順方向電圧の変化はほとんどなかった。比較例のnpn バイポーラトランジスタについても同様に、コレクタ電流密度 100 A/c m^2 で通電して試験した。比較用のnpnバイポーラトランジスタの室温でのオン抵抗は、通電開始直後では $8.0m\Omega$ c m^2 であったのが、 1 時間の通電後は $15.0m\Omega$ c m^2 と非常に大きくなった。また、比較例のnpnバイポーラトランジスタの室温での最大電流増幅率は、通電初期は約 12 であったものが、 1 時間通電後は約 6 と小さくなってしまった。これ



に対し、本実施例のnpnバイポーラトランジスタの最大電流増幅率は通電開始直後と1時間通電後とでほとんど変化がなく約12であった。以上のように本実施例のnpnバイポーラトランジスタ50は1時間の通電試験後でもほとんど順方向電圧劣化は生じていなかった。

《第3実施例》

[0033]

第3実施例は、本発明のバイポーラ半導体素子のIGBT(インシュレーテッド・ゲート・バイポーラトランジスタ)に関するものである。図5は本実施例のIGBT60の断面図である。本実施例では、面方位が図6における(000-1)カーボン面2から3.5度のオフ角 θ の面2aを有するn型の6H型SiCを用いた基板61(以下C面基板と呼ぶ)上に、膜厚の時間(h)当たりの増加速度が15 μ m/hで、p型6H-SiC層、n型6H-SiC層、p型6H-SiC層の順番で3つの層をエピタキシャル成長させ、以下に詳しく説明するようにIGBT60を作製した。p層とn層の主たる接合面(図中水平方向に広がる面)は、{0001}面となっている。本実施例のIGBTと比較するための比較用IGBTを以下のように作製する。面方位が図7における(0001)シリコン面1から3.5度のオフ角 θ の面1aをもつn型の6H型SiCを用いた基板(以下、Si面基板と呼ぶ)上に、5 μ m/hの成膜速度で、p型6H-SiC層、n型6H-SiC層、p型6H-SiC層を順次形成する。

[0034]

[0035]

本実施例の I G B T を作製するときの処理条件を以下に詳しく説明する。材料ガスとして、シラン (S i H4) 及びプロパン (C 3 H8) を用いる。ドーパントガスとして窒素 (N2) 及びトリメチルアルミニウム $A \ 1 \ (C \ H 3) \ 3$ を用いる。またキャリアガスとして水素 (H2) を用いる。各ガスの流量は、sccm (standard cc per minute) 又は、slm (standard liter minute) で表す。圧力は、kPa (kilo pascal) で表す。以下の説明において、各ガスの名称の後に付したかっこ内の数値は流量を表す。基板 6 1 の温度は 1550 $\mathbb C$ に保たれており、処理チャンバー内の圧力は 5.6 kPaに保たれている。

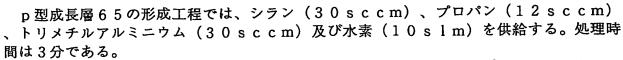
[0036]

基板 6 1 の C 面にパッファ層 6 2 を形成する工程では、シラン(3 0 s c c m)、プロパン(1 2 s c c m)、トリメチルアルミニウム(3 s c c m)及び水素(1 0 s 1 m)を供給する。処理時間は 1 2 0 0 0 0

ドリフト層63の形成工程では、シラン(30sccm)、プロパン(12sccm)、トリメチルアルミニウム(0.15sccm)及び水素(10slm)を供給する。処理時間は60分である。

n型成長層 6 4 の形成工程では、シラン(3 0 s c c m)、プロパン(1 2 s c c m)、窒素(9 s c c m)及び水素(1 0 s l m)を供給する。処理時間は 8 分である。

[0037]



上記の処理により、本実施例のpin接合ダイオード用のSiCエピタキシャルウェーハができる。

[0038]

次に比較用のIGBTを作製するときの処理条件を説明する。基板のSi面に形成する各層の構成は図5に示す本実施例の構成と実質的に同じであるので、同じ符号を用いて説明する。基板の温度は1550℃に保たれており、処理チャンバー内の圧力は5.6kPaに保たれている。

基板のSimin (Minimum N) imにバッファ層 62 を形成する工程では、シラン(10 s c c m)、プロパン(3 s c c m)、トリメチルアルミニウム(1 s c c m)及び水素(10 s 1 m)を供給する。処理時間は36 分である。

[0039]

ドリフト層 63を形成する工程では、シラン(10sccm)、プロパン(3sccm)、トリメチルアルミニウム(0.05sccm)及び水素(10slm)を供給する。 処理時間は 180分である。

n型成長層 6 4 の形成工程では、シラン(10 s c c m)、プロパン(3 s c c m)、 窒素 (3 s c c m) 及び水素 (10 s l m) を供給する。処理時間は 2 4 分である。

p型成長層 6 5 の形成工程では、シラン(10 s c c m)、プロパン(3 s c c m)、トリメチルアルミニウム(10 s c c m)及び水素(10 s l m)を供給する。処理時間は9分である。

上記の処理により、比較用のpin接合ダイオード用のSiCエピタキシャルウェーハができる。本実施例のSiCエピタキシャルウェーハと、比較用のSiCエピタキシャルウェーハのそれぞれに以下に説明する加工を施すことにより図に示す本実施例のIGBT 及び同様の構成を有する比較用のIGBTが出来上がる。

[0040]

このようにして作製したSiCエピタキシャルウェーハから図5に示す構造のIGBT60を作製する。

まず、フォトリソグラフ法を用いて、p+成長層65の中央部をRIEでエッチングして孔66aを設け、窒素をイオン注入することにより、コレクタとなるコンタクト領域66を形成する。

[0041]

ゲート領域を形成するために、RIEによりp+成長層65とn+成長層64をエッチングして孔68a(図5では2つ)をあける。次に孔68aの壁面にMOS構造を形成するために、CVDによりSiO2膜を堆積させ絶縁膜67を形成する。

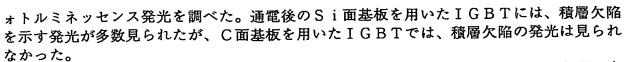
基板61のコレクタ領域にNiを蒸着しコレクタ端子69とする。またコンタクト領域66にエミッタ電極69を蒸着する。次に熱処理を行ってそれぞれオーミック接合を形成する。さらに、酸化膜67の上にMo電極を形成しゲート電極68とする。

[0042]

完成した本実施例のIGBTと、比較用のIGBTの耐電圧は900Vである。オン抵抗は11mΩcm²であり、コレクタエミッタ間電圧は−14Vである。両IGBTに−40Vのゲート電圧を印加し、コレクタ電流1.4Aを1時間通電し、通電開始時と1時間通電後の室温でのコレクタ特性をカープトレーサで測定した。本実施例のIGBTでは、通電直後と1時間通電後のコレクターエミッタ間電圧はともに−14Vであり、ほとんど変化がなく、従ってほとんど劣化していないことが判った。Si面基板を用いた比較用IGBTでは、通電直後のコレクターエミッタ電圧は−14Vだったのに対し、1時間通電後のコレクターエミッタ電圧は−29Vと大きくなった。

[0043]

劣化の状態を調べるために、通電後のIGBTの電極68、69を除去し、SiCのフ 出証特2004-3123049



以上、本発明のバイポーラ半導体素子を3つの実施例に基づき具体的に説明したが、本発明は上記各実施例に限定されるものではなく、SIAFET、SIJFET、サイリスタ、GTO、MCT (Mos Controlled Thyristor)、SiCGT (SiC Commutated Gate Thyristor)、EST (Emitter Switched Thyristor)、BRT (Base Resistance Controlled Thyristor)などの各種の4H-SiCバイポーラ半導体素子にも応用可能である。当然ながら、反対極性の素子(例えばnpnトランジスタに対するpnpトランジスタ)などの各種の4H-SiCバイポーラ素子にも変形応用可能であり、6H-SiCなどの多の結晶構造を用いたSiCバイポーラ素子に適用できるものである。

【産業上の利用可能性】

[0044]

本発明のSiCバイポーラトランジスタ半導体素子は、長時間使用しても経時変化が少なく、特に経時変化によるオン抵抗、順方向電圧又は、コレクタエミッタ電圧の増大が極めて小さいので、バイポーラ半導体素子の内部損失が使用中に増大することがなく、バイポーラ半導体素子の信頼性を高くする上で有用である。

【図面の簡単な説明】

[0045]

- 【図1】本発明の第1実施例のpn(pin)ダイオードの断面図である。
- 【図2】本発明の第1実施例のpinダイオードの通電開始時と1時間通電後の電流電圧特性を示す図である。
- 【図3】本発明の第1実施例のpinダイオードと、比較するために作ったSi面基板を用いたpinダイオードとの、通電開始直後の劣化前と、1時間通電した後の劣化後の電流電圧特性を示す図である。
 - 【図4】本発明の第2実施例のnpnバイポーラトランジスタの断面図である。
 - 【図5】本発明の第3実施例のIGBTの断面図である。
- 【図6】本発明のバイポーラ半導体素子の基板を構成する炭化珪素の結晶を示す斜視 図である。
- 【図7】従来のバイポーラ半導体素子の基板を構成する炭化珪素の結晶を示す斜視図である。

【符号の説明】

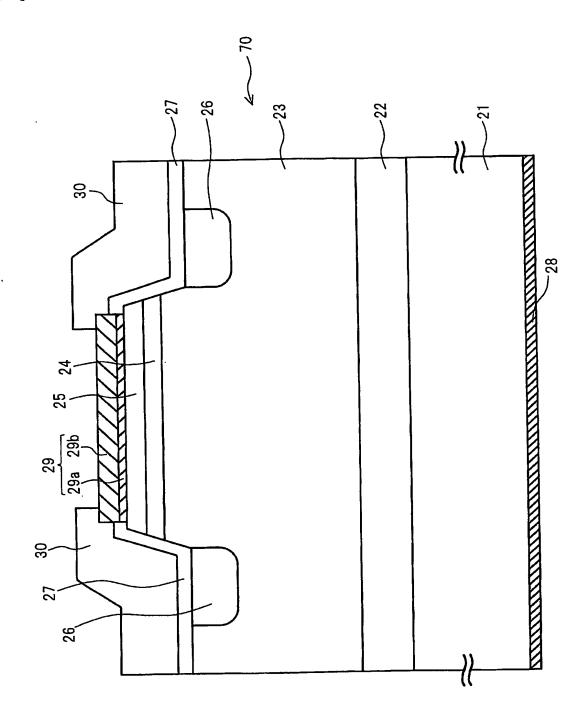
[0046]

- 1 (0001) シリコン面
- 2 (000-1)カーボン面
- 20 pn (pin) ダイオード
- 2 1 基板
- 22 n型バッファ層
- 23 n型ドリフト層
- 24 p型接合層
- 25 p +型コンタクト層
- 26 p型JTE
- 2 7 酸化膜
- 28 オーミック電極
- 29 オーミック電極
- 29a Ti層
- 29b A1層
- 30 酸化膜
- 50 npnバイポーラトランジスタ
- 51 基板

- 52 n型バッファ層
- 53 n型ドリフト層
- 54 p型成長層
- 55 n型成長層
- 56 ガードリング
- 57 ベースのコンタクト領域
- 58 酸化膜
- 59a Ni電極
- 59b Ti/Au電極
- 60 IGBT
- 61 n+基板
- 62 p+バッファ層
- 63 pードリフト層
- 6 4 n +成長層
- 6 5 p +成長層
- 66 コンタクト領域
- 6 7 酸化膜
- 68 Mo電極
- 69 Ni電極

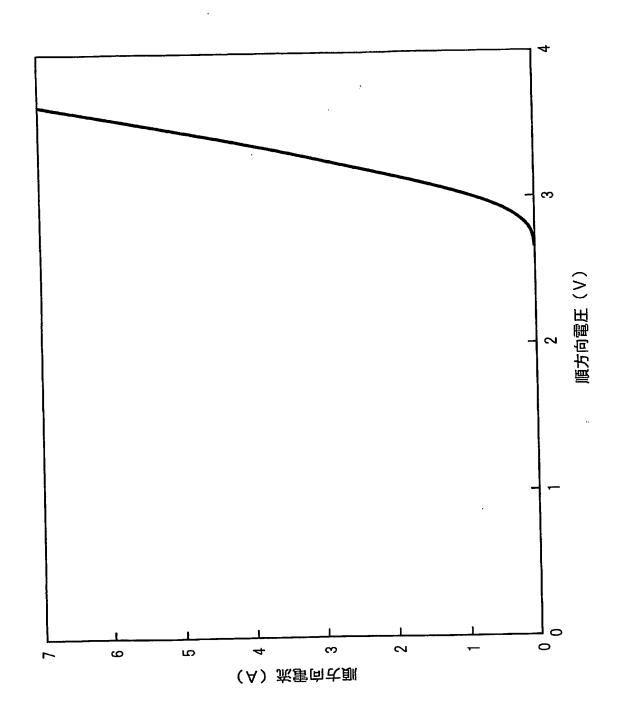


. 【審類名】図面 【図1】



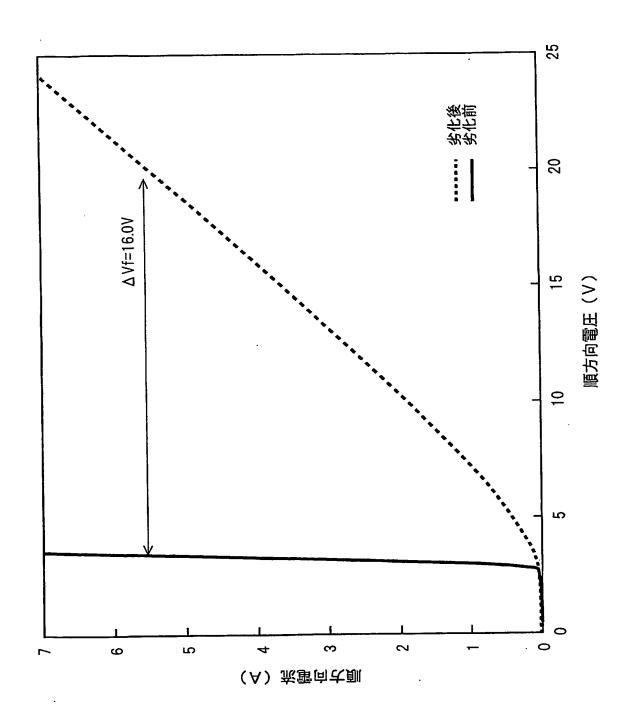


【図2】



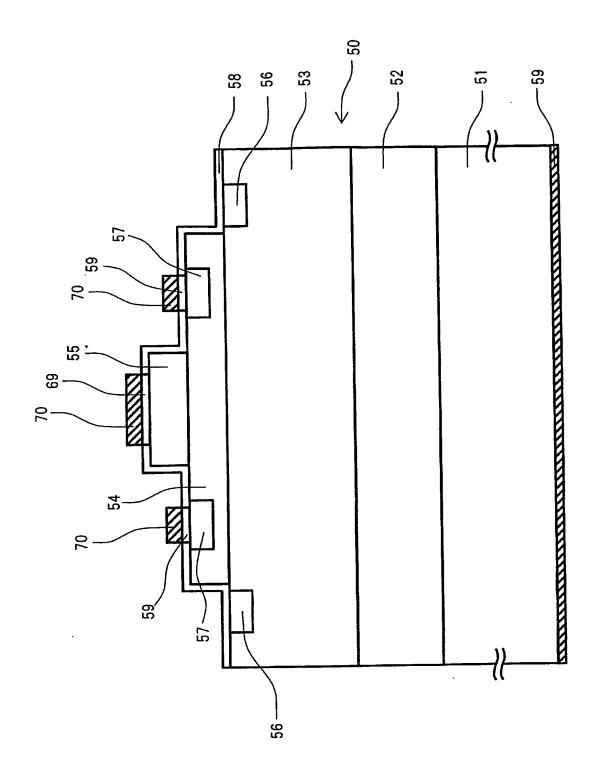


【図3】



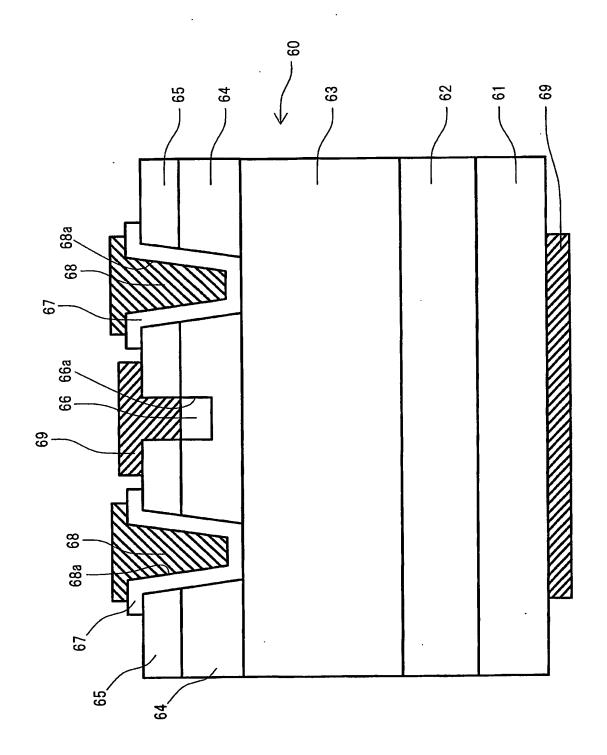


【図4】



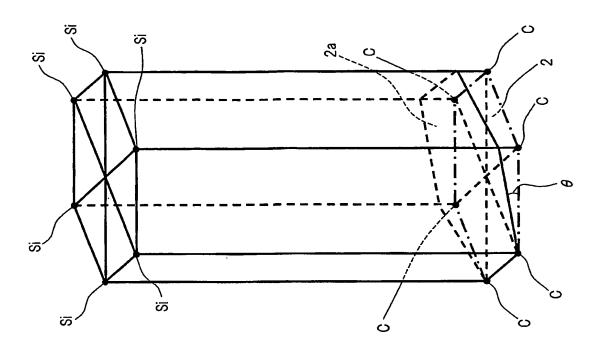


【図5】

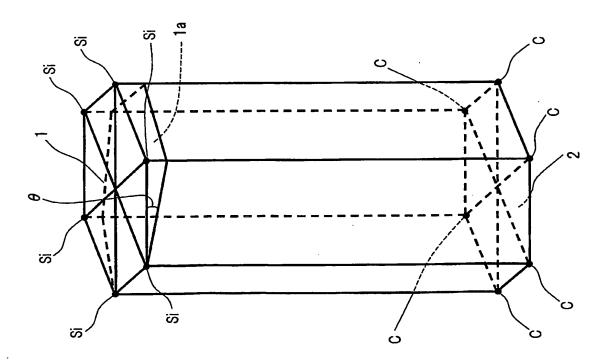




【図6】



【図7】







【暬類名】要約書

【要約】

【課題】 炭化珪素半導体を用いたバイポーラ半導体素子の経時変化による順方向電圧の 増大を防止する。

【選択図】 図1



特願2003-405259

出願人履歴情報

識別番号

[000156938]

1. 変更年月日

1990年 8月10日

[変更理由]

新規登録

住所

大阪府大阪市北区中之島3丁目3番22号

氏 名

関西電力株式会社



特願2003-405259

出願人履歴情報

識別番号

[000173809]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所 名

東京都千代田区大手町1丁目6番1号

財団法人電力中央研究所

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/017888

International filing date:

01 December 2004 (01.12.2004)

Document type:

Certified copy of priority document

Document details:

Country/Office: JP

Number:

2003-405259

Filing date:

03 December 2003 (03.12.2003)

Date of receipt at the International Bureau: 04 February 2005 (04.02.2005)

Remark: Priority document submitted or transmitted to the International Bureau in

compliance with Rule 17.1(a) or (b)



This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record.

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:
BLACK BORDERS
☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
☐ FADED TEXT OR DRAWING
☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
☐ SKEWED/SLANTED IMAGES
☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
☐ GRAY SCALE DOCUMENTS
LINES OR MARKS ON ORIGINAL DOCUMENT
REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

IMAGES ARE BEST AVAILABLE COPY.

☐ OTHER:

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.